

Vivian Brégier

✉ 18 rue du Bois Mentel,
38 400 Saint-Martin-d'Hères

☎ 09 51 82 04 51

☎ 06 64 70 29 23

✉ Vivian.Bregier@ens-lyon.org

Architecte-développeur, Docteur, Normalien
31 ans

Marié, 2 enfants

Parcours professionnel

- 2007-
juin 2009-
avril-juin
2009
2008-2009
2007-2008
2003-2007
- Analyste-développeur** chez Atos Origin :
développements C++ et ada : logiciel de contrôle de centrale nucléaire
Système Linux : réalisation d'un serveur radius haute disponibilité (redondance matérielle et logicielle) pour un réseau satellite de communication de puits de pétrole : spécification, mise en place et validation
développement C#.net : application de calibration et vérification pour outils électroniques embarqués dans les têtes de forages
intégration des composants d'un logiciel de surveillance des puits de pétrole, sous Linux Red Hat
Thèse de doctorat au laboratoire TIMA, groupe CIS : *Synthèse automatisée de circuits asynchrones optimisés prouvés quasi-insensibles aux délais*

Compétences

Informatique

Expert des systèmes UNIX, en particulier Debian/GNU/Linux.
Expert en C, C++, OCAML, python, LaTeX, (x)html+CSS, xml
Bonne connaissance de haskell, scheme/lisp, postscript, xsl(t), sql, prolog, fortran

Langues

Anglais lu, écrit, parlé couramment
Espagnol scolaire

Diplômes

- 2007 Doctorat de microélectronique, INP Grenoble
2003 DÉA et Magistère d'informatique, ÉNS Lyon
2001+2002 Licence + Maîtrise d'informatique, ÉNS Lyon
2000+2001 Licence + Maîtrise de physique, ÉNS Lyon
1998+1999 Classe préparatoire PCSI puis PC*, lycée Louis le Grand, Paris
1997 Baccalauréat S (mention AB), lycée Louis le Grand, Paris

Publications

- [1] V. Brégier, B. Folco, L. Fesquet, and M. Renaudin. Modeling and synthesis of multi-rail multi-protocol qdi circuits. In *Thirteenth International Workshop on Logic and Synthesis*, 2004.
- [2] B. Folco, V. Brégier, L. Fesquet, and M. Renaudin. Synthesis of area optimized quasi delay insensitive circuits. In *System On Chip 2005*, IFIP on VLSI, Perth, Australia, 2005.
- [3] B. Folco, V. Brégier, L. Fesquet, and M. Renaudin. *Technology Mapping for Area Optimized Quasi Delay Insensitive Circuits*, volume 200 of *IFIP Series*. Springer, 2006.